

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-293354

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

G06F 5/01

(21)Application number : 11-101058

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.04.1999

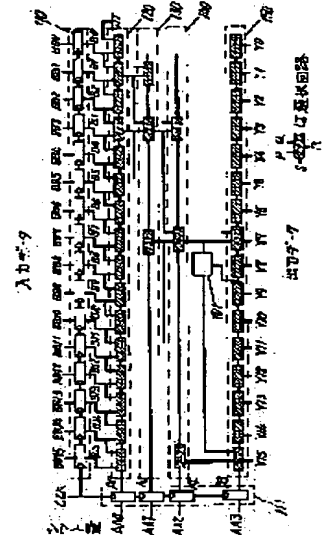
(72)Inventor : MIYOSHI AKIRA

(54) ARITHMETIC OPERATION PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an arithmetic operation processor which has an operation speed that is almost equal to when a buffer is inserted inside a shift circuit and can further reduce power consumption in a barrel shift circuit.

SOLUTION: In a barrel shift circuit composed of a multistage selector, when data does not have to be transmitted to the selector of the next stage to an output of a selector realizing large shift, a long wire does not have to be driven other than when needed by providing a data blocking means 101 instead of a buffer, and the power consumption of the arithmetic operation processor can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-293354

(P2000-293354A)

(43)公開日 平成12年10月20日(2000.10.20)

(51)Int.Cl.

G 0 6 F 5/01

識別記号

F I

G 0 6 F 5/01

ターミナル (参考)

5 B 0 2 2

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21)出願番号 特願平11-101058

(22)出願日 平成11年4月8日(1999.4.8)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 三好 明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

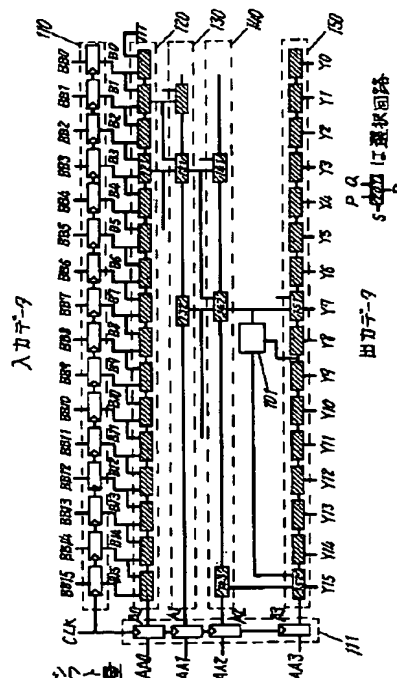
Fターム(参考) 5B022 AA00 BA02 CA08 DA01 DA02
FA09

(54)【発明の名称】 演算処理装置

(57)【要約】

【課題】 バレルシフト回路において、シフト回路内部でバッファを挿入した場合とほぼ同等の演算速度を有し、さらに消費電力を削減できる演算処理装置を提供することを目的とする。

【解決手段】 多段のセクタにより構成されるバレルシフト回路において、大きなシフトを実現するセクタの出力に対して、データを次の段のセクタに伝達する必要がない場合は、データブロック手段101をバッファの代わりに設けることで、必要時以外は、長配線をドライブする必要がなく、演算処理装置の消費電力を削減できる。



【特許請求の範囲】

【請求項 1】 2進数で表現されるシフトデータ A ($= \sum A_i \times 2^i$ (A_i は 0 または 1、 i は 0 より大きい整数)、 \wedge はべき乗を表す)と、

2進数で表現される被シフトデータ B ($= \sum B_j \times 2^j$ (B_j は 0 または 1、 j は 0 より大きい整数))を入力し、 2^0 のシフトデータ値 A_0 により、被シフトデータ B の 2^j 桁値 B_j または $2^{(j-2^0)}$ 桁値 B_{j-2^0} を選択し、

選択された値を第 1 の選択回路群中の 2^j 桁に位置する選択回路と $2^{(j+2^1)}$ 桁に位置する選択回路へ出力する第 0 の選択回路群とシフトデータ値 A_i により、(第 $i-1$ の選択回路群中、 2^j 桁の選択回路出力値) または (第 $i-1$ の選択回路群中、 $2^{(j-2^i)}$ 桁の選択回路出力値) を選択し、

選択された値を第 $i+1$ の選択回路群中の 2^j に位置する選択回路と $2^{(j+2^{(i+1)})}$ に位置する選択回路へ出力する第 i の選択回路群とを有するバレルシフト回路であって、

前記第 $i+1$ の選択回路群の中、 $2^{(j+2^{(i+1)})}$ 桁に位置する選択回路への出力データが伝搬するのを、シフトデータ信号 A_{i+1} により中断するデータブロック手段を保有する事を特徴とする演算処理装置。

【請求項 2】 前記データブロック手段が、シフトデータ信号が 1 の場合は $2^{(j+2^{(i+1)})}$ に位置する選択回路への出力データを入力し、シフトデータ信号が 0 の場合は、データブロック手段の出力値を入力し、出力するデータホールド回路で構成されることを特徴とする請求項 1 記載の演算処理装置。

【請求項 3】 前記データブロック手段が、シフトデータ信号が 1 の場合は $2^{(j+2^{(i+1)})}$ に位置する選択回路への出力データをラッチし、シフトデータ信号が 0 の場合は、新規にデータをラッチしないデータラッチから構成されることを特徴とする請求項 1 記載の演算処理装置。

【請求項 4】 2進数で表現されるシフト量データ A ($= \sum A_i \times 2^i$ (A_i は 0 または 1、 i は 0 より大きい整数)、 \wedge はべき乗を表す)を入力し、クロックによりラッチし出力する第 1 の記憶手段と 2進数で表現される被シフトデータ B ($= \sum B_j \times 2^j$ (B_j は 0 または 1、 j は 0 より大きい整数))を入力し、第 1 の記憶手段と同相のクロックによりラッチし出力する第 2 の記憶手段と前記第 2 の記憶手段より出力されるデータを前記第 1 の記憶手段から出力されるデータの各桁の値に応じてシフトする複数段からなるシフト手段を有するシフト回路において、

シフト量データ A の内、前記複数段からなるシフト手段のうち第 n 段目のシフト手段に入力される桁において、該桁を遅延させ第 1 の記憶手段に接続すると共に、該第 1 の記憶手段に入力されるクロックも同じ遅延手段によ

り遅延させ入力するように構成されたことを特徴とする演算処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一方の入力データを他方の入力データにより演算し出力する演算処理装置に関する。

【0002】

【従来の技術】 近年の電子技術の発展により、マイクロコンピュータをはじめ情報処理装置が微細プロセスで LSI 化されるようになってきた。プロセスが進化し、微細化が進展するに従い、配線幅および配線スペースが小さくなり、配線容量のうちでサイドカップリングに起因する容量の割合が従来に比べ大きくなってきている。このため、配線容量を充放電するために必要な電力の割合も従来に比べ増加することとなっている。

【0003】 図 2 は、従来のバレルシフト回路のブロック図である。

【0004】 図 2 は、16 ビットの 2 進数データ BB ($BB_{15} \sim BB_0$) を 4 ビットの 2 進数シフト量データ AA ($AA_3 \sim AA_0$) の情報をもとにシフトし、16 ビットの出力データ Y ($Y_{15} \sim Y_0$) を出力するバレルシフト回路である。

【0005】 以下、従来のバレルシフト回路の構成について述べる。

【0006】 210 は、入力データ BB をクロック信号 (CLK) の立ち上がりエッジでラッチする 16 個のフリップフロップ (以下 FF と記す) 群である。210 は、CLK の立ち上がりエッジで入力データ BB をラッチ後、データ B ($B_{15} \sim B_0$) を出力する。

【0007】 211 は、入力データ AA をクロック信号 (CLK) の立ち上がりエッジでラッチする 4 個の FF 群である。211 はシフト量データ AA を入力しデータ A ($A_3 \sim A_0$) を出力する。

【0008】 201 は、2 つのデータ入力 P、Q と選択信号 S を入力とし、選択信号 S により 2 つのデータ入力のうち一方を出力 R に出力する選択回路である。

【0009】 231、232、241、242、251、252 は、選択回路 201 と同じであるが、説明のため特別に番号を付与し直している。

【0010】 図 2 においては、簡略化のためすべての選択回路を記載していない。

【0011】 220 は、シフト量信号 A の 2^0 桁値 A_0 を選択信号 S として入力し、FF 群 210 から出力されるデータ値 B と FF 群 210 から出力されるデータ値 B を 1 ($=2^0$) 桁左シフトしたデータ値 $B \times 2$ を入力 P、Q とする選択回路群である。

【0012】 230 は、シフト量信号 A の 2^1 桁値 A_1 を選択信号 S として入力し、選択回路群 220 から出力されるデータ値と選択回路群 220 から出力されるデ

10

20

30

40

50

ータ値を $2 (=2^1)$ 桁左シフトしたデータ値を入力 P、Qとする選択回路群である。

【0013】240は、シフト量信号Aの 2^2 桁値A2を選択信号Sとして入力し、選択回路群230から出力されるデータ値と選択回路群230から出力されるデータ値を $4 (=2^2)$ 桁左シフトしたデータ値を入力 P、Qとする選択回路群である。

【0014】250は、シフト量信号Aの 2^3 桁値A3を選択信号Sとして入力し、選択回路群240から出力されるデータ値と選択回路群240から出力されるデータ値を $8 (=2^3)$ 桁左シフトしたデータ値を入力 P、Qとする選択回路群である。

【0015】以上の様に図2に示すパレルシフト回路では、シフト量Aの値に従い、選択回路群220では1桁左シフトまたはシフトなし、選択回路群230では、2桁左シフトまたはシフトなし、選択回路群240では、4桁シフトまたはシフトなし、選択回路群250では8桁シフトまたはシフトなしを実行し、0から15桁の左シフトをシフト量Aを用い任意に実現する。

【0016】ここで、選択回路242、251、252 20に注目する。

【0017】選択回路242の出力Rは、選択回路251のP入力および252のQ入力に接続されている。また、選択回路242から選択回路252までは、選択回路8個分以上の長さをもつ配線が必要になることがわかる。

【0018】このため、選択回路242の出力ドライバは、251のP入力容量と252のQ入力容量と242からそれぞれの選択回路に接続される配線の配線容量をドライブする必要がある。シフト量の増大に伴い配線長 30が増大することで、大きな負荷がかかり、信号伝達速度を遅らせ、さらにスリューが増大するため消費電力をも増大させることになっていた。

【0019】配線長の増大に伴う信号伝搬速度改善のため、従来においてはバッファを挿入し遅延を改善するという改善策をとってきた。

【0020】図3はその一例である。

【0021】図3に示される番号で図2に示されるものと同じものは、図2と同じ働きをする。

【0022】図2との相違点は、301に示すバッファ 40を有しているかないかの違いのみである。

【0023】バッファ301は、選択回路242の出力配線が選択回路252の入力と選択回路251のP入力に向け配線される場合、分岐するポイント310から選択回路252に向かった近傍にバッファを配置している。

【0024】このようにバッファ301を配置することで、選択回路242の出力の負荷分散を行い、選択回路252へのデータ伝達速度を向上させていた。

【0025】なお、図3の中で、バッファ301は選 50

択回路242の出力にしか接続されていないが、選択回路群240の選択回路で 2^0 桁から 2^7 桁までに位置する選択回路の出力には同様に配置されている。

【0026】以上は、シフト量Aとして4桁の値をもっている場合について説明したが、シフト量の桁数が大きくなればなるほど、選択回路からの出力配線は長くなり図3に示すようなバッファ回路を挿入し遅延を改善することとなっていた。

【0027】一般には、シフト量の 2^i の桁値をAiとすると、Aiにより制御される選択回路は、 2^i 桁下位からの選択回路から出力されるデータとその桁位置にあるAi-1により制御される選択回路から出力されるデータを入力とする。

【0028】従って、シフトのために配線される配線は、シフト量の上位桁になればなるほど長くなり、抵抗、容量ともに増大することになっており、301に示すようなバッファを挿入するような改善策を取り、遅延改善を図っていた。

【0029】またさらに従来のシフト回路において、シフト量データAと被シフトデータBをラッチするFF群210、311は同じクロックの立ち上がりエッジにより同時にラッチされることになっていた。

【0030】図6は、クロックが動作したときにFF群211に示されるFFの消費電流の波形を模式的に書いたものである。

【0031】ここでは、FFとしてマスタースレーブ形式のFFを想定している。従って、クロックの立ち上がりエッジでマスターラッチが閉じると共にスレーブラッチが動作する。またクロックの立ち下がりエッジでは、マスターラッチが動作し始めると共に、スレーブラッチが閉じる。スレーブラッチは、マスターラッチにくらべ、シフト内部のセレクトをドライブするため大きな消費電流を消費する。

【0032】従って、図6に示すように、クロックの立ち上がりエッジ近傍で比較的大きな電流を消費することになっている。

【0033】すなわち、クロックの立ち上がりエッジでFF群210、311のフリップフロップがすべてが動作し、高いピーク値の電流消費が発生することとなっていた。

【0034】

【発明が解決しようとする課題】しかしながら図3に示した従来のパレルシフト回路では、バッファ301を挿入することで演算速度を速くすることが可能であるが、一方でバッファが挿入されるため消費電力を増加させるという問題が残っている。

【0035】第1の発明はかかる点に鑑み、バッファを挿入した場合とほぼ同等の演算速度を有し、さらに消費電力を削減できる演算処理装置を提供することを目的とする。

【0036】また、図3に示す従来のバレルシフト回路では、クロックの立ち上がりエッジの瞬間に同時に210、311のフリップフロップが動作し、高いピーク値の電流消費が発生することとなっていた。

【0037】第2の発明はかかる点に鑑み、クロックの立ち上がりエッジでの高いピーク電流の発生を抑制できる演算処理装置を提供することを目的とする。

【0038】

【課題を解決するための手段】この課題を解決するために請求項1に記載した第1の発明である情報処理装置は、2つの2進数入力データを入力し、一方の入力データを他方の入力データ値に従いシフトするバレルシフト回路からなる演算処理装置であって、演算処理装置は、2進数で表現されるシフトデータ $A (= \sum A_i \times 2^i$ (A_i は0または1、 i は0より大きい整数)、 \wedge はべき乗を表す)と、2進数で表現される被シフトデータ $B (= \sum B_j \times 2^j$ (B_j は0または1、 j は0より大きい整数))を入力し 2^0 のシフトデータ値 A_0 により、被シフトデータ B の 2^j 桁値 B_j または $2^{(j-2^0)}$ 桁値 B_{j-2^0} を選択し、選択された値を第1の選択回路群中の 2^j 桁に位置する選択回路と $2^{(j+2^1)}$ 桁に位置する選択回路へ出力する第0の選択回路群とシフトデータ値 A_i により、(第 $i-1$ の選択回路群中、 2^j 桁の選択回路出力値)または(第 $i-1$ の選択回路群中、 $2^{(j-2^i)}$ 桁の選択回路出力値)を選択し、選択された値を第 $i+1$ の選択回路群中の 2^j に位置する選択回路と $2^{(j+2^{(i+1)})}$ に位置する選択回路へ出力する第 i の選択回路群とを有するバレルシフト回路であって、前記第 $i+1$ の選択回路群の中、 $2^{(j+2^{(i+1)})}$ 桁に位置する選択回路への出力データが伝搬するのを、シフトデータ信号 A_{i+1} により中断するデータブロック手段を保有するように構成したものである。

【0039】また、請求項第4項に記載した第2の発明である情報処理装置は、2進数で表現されるシフト量データ $A (= \sum A_i \times 2^i$ (A_i は0または1、 i は0より大きい整数)、 \wedge はべき乗を表す)を入力し、クロックによりラッチし出力する第1の記憶手段と2進数で表現される被シフトデータ $B (= \sum B_j \times 2^j$ (B_j は0または1、 j は0より大きい整数))を入力し、第1の記憶手段と同相のクロックによりラッチし出力する第2の記憶手段と前記第2の記憶手段より出力されるデータを前記第1の記憶手段から出力されるデータの各桁の値に応じてシフトする複数段からなるシフト手段を有するシフト回路において、シフト量データ A の内、前記複数段からなるシフト手段のうち第 n 段目のシフト手段に入力される桁において、該桁を遅延させ第1の記憶手段に接続すると共に、該第1の記憶手段に入力されるクロックも同じ遅延手段により遅延させ入力するように構成したものである。

【0040】

【発明の実施の形態】図1は第1の発明および第2の発明を含んだ一実施形態であるバレルシフト回路を構成するブロック図を示している。

【0041】このバレルシフト回路は、16ビットの2進数データ BB ($BB15 \sim BB0$)を4ビットの2進数シフト量データ AA ($AA3 \sim AA0$)の情報をもとにシフトし、16ビットの出力データ Y ($Y15 \sim Y0$)を出力するように構成されている。

【0042】まず、このバレルシフト回路の構成について述べる。

【0043】110は、入力データ BB ($BB15$ から $BB0$)をクロック信号(CLK)の立ち上がりエッジでラッチする16個のフリップフロップ群である。110は、 CLK の立ち上がりエッジで入力データ BB をラッチ後、データ B ($B15 \sim B0$)を出力する。

【0044】111は、入力データ AA をクロック信号(CLK)の立ち上がりエッジでラッチする4個の FF 群である。111はシフト量データ AA を入力しデータ A ($A3 \sim A0$)を出力する。

【0045】201は、2つのデータ入力 P 、 Q と選択信号 S を入力とし、選択信号 S により2つのデータ入力のうち一方を出力 R に出力する選択回路である。

【0046】131、132、141、142、151、152は、選択回路201と同じであるが、説明のため特別に番号を付与し直している。

【0047】図1においては、簡略化のためすべての選択回路を記載していない。

【0048】120は、シフト量信号 A の 2^0 桁値 A_0 を選択信号 S として入力し、 FF 群110から出力されるデータ値 B と FF 群110から出力されるデータ値 B を1 ($=2^0$)桁左シフトしたデータ値 $B \times 2$ を入力 P 、 Q とする選択回路群である。

【0049】130は、シフト量信号 A の 2^1 桁値 A_1 を選択信号 S として入力し、選択回路群120から出力されるデータ値と選択回路群120から出力されるデータ値を2 ($=2^1$)桁左シフトしたデータ値を入力 P 、 Q とする選択回路群である。

【0050】140は、シフト量信号 A の 2^2 桁値 A_2 を選択信号 S として入力し、選択回路群130から出力されるデータ値と選択回路群130から出力されるデータ値を4 ($=2^2$)桁左シフトしたデータ値を入力 P 、 Q とする選択回路群である。

【0051】150は、シフト量信号 A の 2^3 桁値 A_3 を選択信号 S として入力し、選択回路群140から出力されるデータ値と選択回路群140から出力されるデータ値を8 ($=2^3$)桁左シフトしたデータ値を入力 P 、 Q とする選択回路群である。

【0052】101は、選択回路142から出力される出力データと、シフト量信号 A_3 を入力とし、出力を選択回路152の Q 入力に接続するデータブロック回路で

ある。

【0053】160、161、162はそれぞれ入力データAA1、AA2、AA3を遅延させフリップフロップ群111に inputsする遅延回路である。

【0054】165、166、167は、クロック信号(CLK)を inputsし遅延させフリップフロップ群111のクロックとして inputsする遅延回路である。

【0055】ここで、遅延回路160と165の遅延量、および161と166の遅延量、および162と167の遅延量は同じであり、162、167の遅延量がもっとも大きく、ついで161、166の遅延量、160、165の遅延量と少なくなる。

【0056】以下に第1の発明について該バレルシフト回路の動作を説明する。

【0057】クロックの立ち上がりエッジにおいてフリップフロップ群110にラッチされた入力データB15～B0は、同様にクロックの立ち上がりエッジでフリップフロップ群111にラッチされたシフト量データA3～A0によりシフトされる。

【0058】シフトは以下のように行われる。

【0059】まず、シフト量AAのうち、AA1、AA2、AA3に関しては、遅延回路160から167を経由しフリップフロップ群111のデータ inputsに inputsされる。またAA1、AA2、AA3をラッチするフリップフロップに使用されるクロックも、遅延回路165、166、167により遅延されフリップフロップ群111に inputsされる。ここで使用される遅延回路はたとえばバッファ等が相当する。

【0060】そして、シフト量Aの最下位ビットA0により制御される選択回路群120に inputsデータB15～B0が inputsされる。A0の値が1の場合、選択回路群120では、inputsデータB15～B0を1桁左シフトし出力する。A0が0の場合は、そのままシフトせずに出力する。

【0061】たとえば、選択回路群120中の選択回路121に注目すると、P inputsにはB3がQ inputsにはB2が inputsされる。

【0062】A0が1の場合、選択回路121は2つの2進数 inputsのうちQ inputs値B2を出力する。A0が0の場合、選択回路121はP inputs値B3を出力する。

【0063】ここで説明のため、選択回路群120から出力される16ビットデータを2B(2B15～2B0)とする。

【0064】次に、選択回路群130の動作について説明する。

【0065】シフト量の 2^1 の桁値A1により制御される選択回路群130には、inputsデータ2B15～2B0が inputsされる。A1の値が1の場合、選択回路群130では、inputsデータ2B15～2B0を2桁左シフトし出力する。2桁は、シフト量A1の重み値 2^1 により

指定されるものである。A0が0の場合は、そのままシフトせずに出力する。

【0066】たとえば、選択回路131に注目すると、選択回路131には、2B1と2B3の2つの2進数 inputsされる。A0が1の場合、選択回路131は2つの2進数 inputsのうち2B1を出力する。A0が0の場合選択回路131は2つの2進数 inputsのうち2B3を出力する。

【0067】これにより、選択回路群130から、A1の値に応じて2桁左シフトまたはそのままの桁を出力する。選択回路120から出力される16ビットデータを3B(3B15～3B0)とする。

【0068】選択回路群の動作を一般的に示す。

【0069】シフト量の 2^i 桁値Aiで制御される選択回路群は、inputsデータの 2^k の桁値とinputsデータの $2^{(k-2^i)}$ の桁値を inputsし、Aiが1の場合、 $2^{(k-2^i)}$ の桁値を出力し、Aiが0の場合、 2^k の桁値を出力する。

【0070】次にシフト量A2により制御される選択回路群140から出力されるデータがシフト量A3により制御される選択回路群150に inputsされる場合を考える。

【0071】ここで、選択回路群140内部の選択回路142および選択回路群150内部の選択回路151、152およびデータブロック回路101に注目し説明する。

【0072】選択回路142の出力は、選択回路151のP inputsおよびデータブロック回路101に inputsされる。

【0073】シフト量信号A3が1の場合、選択回路151、152はQ inputsを選択する。すなわち選択回路群140から出力されるデータを8桁左シフトした値を選択する。またシフト量信号A3が0の場合、選択回路151、152はP inputsを選択する。また、データブロック回路101は、シフト量A3が1の場合、選択回路142の出力値を出力し、選択回路152へ伝達する。

【0074】しかし、シフト量データA3が0の場合、以前にシフト量A3が1であった時に選択回路142から出力されたデータを出力しつづける。すなわち、A3が0の場合は、データブロック回路101から選択回路152への供給データは変化しないことになる。

【0075】このようにデータブロック回路101を、配線分岐ポイント102の近傍で、102から選択回路152に向かった処に位置させることで、選択回路152にデータを伝達させる必要がない場合、データブロック回路101から選択回路152までの配線容量および選択回路152のQ inputs容量をドライブする必要がなく、消費電力を削減できる。

【0076】また、データブロック回路101を分岐点102の近傍に配置することで、選択回路152で選択回路142から出力されるデータを選択する必要のない

場合、データブロック回路101は、選択回路152に対して選択回路142から出力されるデータを伝達せず、以前にドライブされていたデータと同じ値を出力しつづける。従って、データブロック回路101では出力データが変化しないため電力を消費しない状態になっている。

【0077】なお以上の本発明の実施形態では、データが8桁左シフトする場合について述べたが、より多ビットシフトする場合について考えれば、データブロック回路を採用することによる消費電力削減の効果は大きくなり、本発明がさらに有効になってくることは明らかである。

【0078】また、データブロック回路101を制御する制御信号A3は、従来においても選択回路群150を制御するため選択回路群の上位桁から下位桁まで配線されており、新規にデータブロック回路101を制御するために大幅に配線を引き直し直す必要がない。

【0079】次に、データブロック回路101の機能を実現する回路について2つの実施例をそれぞれ図4、図5に示す。

【0080】まず第1の実施回路である図4について説明する。

【0081】401は入力データの論理そのままを出力するバッファ回路である。

【0082】402は入力データを論理反転し出力するインバータである。

【0083】403、404はそれぞれNch MOS、Pch MOSからなり、それぞれのソースおよびドレインを共通にし、それぞれのゲートには論理的に反転の関係にあるデータを入力する、スイッチ回路である。

【0084】スイッチ回路403の入力には、図1中の選択回路142からの出力値が入力される。スイッチ回路403、404の出力は接続され、バッファ回路401に入力される。バッファ回路401の出力は、データブロック回路の出力となり選択回路152に入力されると共に、スイッチ回路404にも入力される。また、図1中選択信号A3はインバータ回路405に入力されA3が1の場合、スイッチ回路401の入力が選択され、A3が0の場合には、スイッチ回路404が選択されるようになる。

【0085】次に、図4に示す回路の動作を説明する。

【0086】403では選択信号A3が1の場合、ソースドレイン間が導通状態、選択信号Sが0の場合に非導通状態になる。一方404では選択信号A3が0の場合ソースドレイン間が非導通、選択信号A3が1の場合ソースドレイン間が導通状態になる。

【0087】つまり、図4に示すデータブロック回路は、選択信号A3が1の場合スイッチ回路403への入力データを出力し、選択信号A3が0の場合、以前に選

択信号Sが0であった時にはスイッチ回路403から入力されたデータを保持しつづける回路になっている。

【0088】また、データブロック回路101を分岐点102の近傍に配置することで、選択回路152で選択回路142から出力されるデータを選択する必要のない場合、データブロック回路101は、選択回路152に対して選択回路142から出力されるデータを伝達せず、以前にドライブされていたデータと同じ値を出力しつづける。従って、データブロック回路101では出力データが変化しないため電力を消費しない状態になっている。

【0089】次に第2の実施回路である図5について説明する。

【0090】501、502、503、504、505は入力データを論理反転し出力するインバータ回路である。このうちインバータ回路503は、データ保持用の弱いドライブ能力をもつトランジスタである。

【0091】506はNch MOS、Pch MOSからなり、それぞれのソースおよびドレインを共通にし、それぞれのゲートには論理的に反転の関係にあるデータを入力する、スイッチ回路である。

【0092】スイッチ回路506の入力には、図1中の選択回路142からの出力値が入力される。スイッチ回路506の出力はインバータ回路502の入力とインバータ回路503の出力に接続される。

【0093】インバータ回路501の出力は、データブロック回路の出力となる。また、図1中選択信号A3はインバータ回路505に入力され、A3が1の場合、スイッチ回路506のソースドレイン間が導通状態になり、図1中選択回路142の出力が、インバータ回路502、503で形成されるラッチ回路にラッチされる。A3が0の場合、スイッチ回路506のソースドレイン間は導通せず、以前にラッチされていたデータが保持される。

【0094】なお以上の本発明の実施形態では、データが8桁左シフトする場合について述べたが、より多ビットシフトする場合について考えれば、データブロック回路を採用することによる消費電力削減の効果は大きくなり、本発明がさらに有効になってくる。

【0095】次に、第2の発明の実施形態について図1を用い説明する。

【0096】たとえば、選択回路群130に注目すると、選択回路131において、データ入力は、フリップフロップのクロック立ち上がりから出力までの遅延を T_{ff} 、選択回路120のデータ入力から出力までの遅延を T_{120} とした場合、フリップフロップ群に入力されるデータは、クロックの立ち上がりから $T_{ff} + T_{120}$ 遅延し入力される。

【0097】いま選択回路群130は、論理回路であるから、選択回路群130に入力される制御信号は、デー

10

20

30

40

50

タと同じ遅延まで遅れても速度を落とすことはない。

【0098】従って、AA1をフリップフロップ群111にT120分遅延させ入力し、同時にクロックもT120の時間分遅らせることができる。

【0099】同様に、遅延回路161、166に関しては、選択回路群130のデータ入力から出力までの遅延分(T130)とT120をあわせた時間分遅らせることになる。

【0100】遅延回路162、167に関しては、 $T120 + T130 + 140$ となる。

【0101】図7にこの時に消費される電流の様子を示す。

【0102】すなわち、AA1が入力されるFFのクロックは、AA0が入力されるFFおよびBB0~BB15が入力されるFFのクロックタイミングよりもT120だけ遅れるため、AA0入力の消費電流に比べ電流を消費するタイミングがT120だけ遅れることになる。

【0103】これは、他のFFに関しても同じであり、それぞれ図7に示した時間だけ遅らせることが可能になる。

【0104】このように、シフト量のデータ入力をクロックをずらし遅らせることで、クロックの立ち上がりエッジでの電流消費のピークを抑えることが可能になり、雑音の誘発を防止し、LSIの特性向上が図られる。

【0105】

【発明の効果】以上説明したように本発明によれば、バレルシフト回路において大容量を形成する長配線をドライブする必要のない場合、大容量を動作させないため、

その結果、消費電力を低減させることができるという有利な効果が得られる。

【0106】また、クロックの立ち上がりエッジでの電流消費のピークを抑えることが可能になり、雑音の誘発を防止し、LSIの特性向上が図られるという有利な効果が得られる。

【図面の簡単な説明】

【図1】第1、第2の発明の一実施形態におけるバレルシフト回路を構成する演算処理装置のブロック図

10 【図2】従来のバレルシフト回路を構成する演算処理装置のブロック図

【図3】従来のバレルシフト回路を構成する演算処理装置のブロック図

【図4】本発明におけるデータブロック回路の第1の実施図

【図5】本発明におけるデータブロック回路の第2の実施図

【図6】従来のクロック動作時のFFの消費電流波形を模式的に示した図

20 【図7】本発明におけるクロック動作時のFFの消費電流波形を模式的に示した図

【符号の説明】

101 データブロック回路

110 フリップフロップ回路群

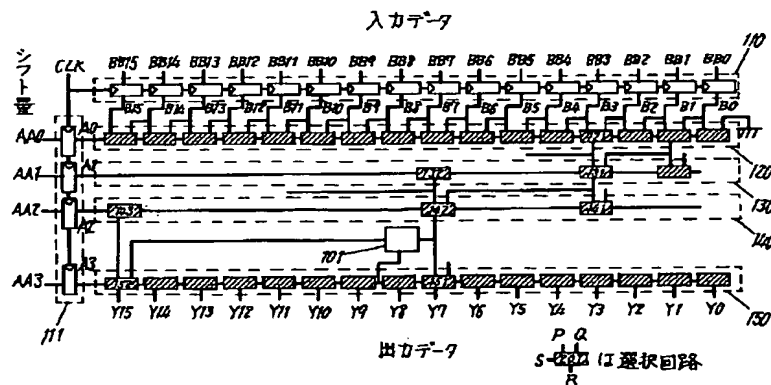
111 フリップフロップ回路群

120、130、140、150 選択回路群

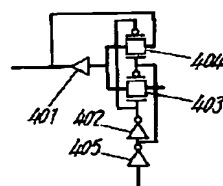
121、131、132、141、142、143、1

51、152 選択回路

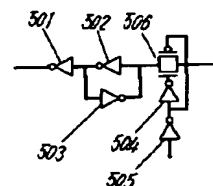
【図1】



【図4】



【図5】



【図7】

